

I, the undersigned, who have prepared English translation which is attached herewith, hereby declare that the aforementioned translation is true and correct translation of the Abstract of the Korean Patent Publication No. 1992-20641 published on November 21, 1992.

October 26, 2007

Translator : Suk-Cheol Yang
Suk Cheol Yang

KOREAN PATENT PUBLICATION NO. 1992-0020641

METHOD OF FORMING INSULATING LAYER OF SEMICONDUCTOR DEVICE

5 A method of forming an insulating layer of a semiconductor device includes performing a thermal oxidation process to form a first SiO_2 layer, performing a chemical vapor deposition (CVD) process to coat a second SiO_2 layer on the first SiO_2 layer, performing an annealing process under an oxygen-containing ambient, and performing an annealing process under an 10 inert gas ambient after injecting fluoric ions into the first and second SiO_2 layers.

공개특허 1992-0020641

(19) 대한민국 특허청 (KR)
(12) 공개특허공보 (A)(61) Int. Cl. 8
H01L 21/316(11) 공개번호 특 1992-0020641
(43) 공개일자 1992년 11월 21일(21) 출원번호 특 1992-0008770
(22) 출원일자 1992년 04월 22일(30) 우선권주장 91-094352 1991년 04월 24일 일본 (JP)
(71) 출원인 사프 가부시끼가이샤 쓰지 하루오
일본국 오사카시 아베노구 나가이케조 22-22
(72) 발명자 마이타기 히사가즈
일본국 나라간 나라시 슈온조 201
우에다 다카사
일본국 나라간 나라시 고무조 22조데 17-12-202
(74) 대리인 김영길
설명구 : **은유**

(54) 반도체장치의 절연막 제조방법

요약

내용 없음

대표도

도 1

설명서

[본원의 영침]

반도체장치의 절연막 제조방법

[도 1]의 간단한 설명]

제 1 도는 본 발명의 효과를 예시하는 도식적 단면도.

본 내용은 요약공개 건이므로 전문 내용을 수록하지 않았음.

(57) 권리의 범위

청구 1

일반화에 의해 Si기판상에 제1 SiO₂막을 형성하는 증점파, CVD기법으로 살기 제1 SiO₂막 상에 제2 SiO₂막을 도포하는 공정파, 산소가 스트리밍유하는 분위기에서의 업처리와 살기 제1 및 제2 SiO₂막에 물소이온의 주입후 비활성 가스 분위기에서의 업처리를 포함하는 그룹에서 선별된 업처리로 살기 제1 및 제2 SiO₂막이 제공된 살기 단계를 제공하는 공정을 포함하는 반도체장치의 절연막 제조방법.

청구 12

제 12에 있어서, 산소가스를 함유하는 분위기에서의 살기 업처리는 살기 산소가스인 건조한 산소가스를 사용하고 약 30~60분 동안 900~1000°C에서 수행되는 반도체 장치의 절연막 제조방법.

청구 13

제 13 또는 제 2항에 있어서, 살기 산소가스를 함유하는 분위기에서의 업처리는 비활성 가스 분위기의 고온에서 같은 업처리가 이어지는 반도체 장치의 절연막 제조방법.

IPRIS(공개특허공보)

첨-1-4

제1항에 있어서, 상기 제2 SiO_2 의 50 Å 두께에 대해, 상기의 출소이온이 5KeV이하의 저가속 에너지와 약 10¹⁶/cm²의 도우즈에서 주입되는 반도체장치의 절연막 제조방법.

청구항5

제1항에 있어서, 비활성 가스준위기에서의 일처리는 비활성가스 분위기인 질소 또는 오르골을 사용하고 아울러 약 30~60분 동안 900~1000°C에서 수행되는 반도체 장치의 절연막 제조방법.

* 참고사항 : 최초출원 내용에 의하여 증개하는 것임.

도면

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5

5